

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03715814      \*\*Image available\*\*

SEMICONDUCTOR MANUFACTURING METHOD

PUB. NO.:      **04-080914** [JP 4080914 A]

PUBLISHED:      March 13, 1992 (19920313)

INVENTOR(s):    CHIYOU KOUYUU

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:      02-195173 [JP 90195173]

FILED:            July 24, 1990 (19900724)

INTL CLASS:     [5] H01L-021/20; H01L-021/324

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors)

JOURNAL:            Section: E, Section No. 1227, Vol. 16, No. 300, Pg. 37, July 02, 1992 (19920702)

#### ABSTRACT

PURPOSE: To make it possible to solve the problem of shrinkage of a glass substrate by a method wherein the non-single crystal semiconductor, which is obtained by a vapor-phase chemical reaction method and the like, is thermally recrystallized.

CONSTITUTION: A glass substrate 1 is formed by AN-2 non-alkali glass of Asahi Glass Manufacturing Company, and the distroction point of the glass is 616 deg.C. First, a heat treatment is conducted on the glass substrate at 610 deg.C for twelve hours. This heat treatment is conducted in an inert gas atmosphere of atmospheric pressure using an electric furnace. Then, after an SiO(sub 2) film 2 of 200nm in thickness has been formed using a sputtering method an a-Si film 3 of 100nm in thickness is deposited thereon using a PCVD method, and the a-Si film is thermally recrystallized at 600 deg.C for ninety-six hours. This thermal recrystallization is conducted in an inert gas atmosphere of atmospheric pressure using an electron furnace. When the film is heated up for ninety-six hours, the shrinkage of the non-heat treated AN-2 non-alkali glass is about 2000ppm, whereas the shrinkage of the heat-treated AN-2 non-alkali glass is about 500ppm, and the shrinkage of the glass substrate can be minimized.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

008907210      \*\*Image available\*\*

WPI Acc No: 1992-034479/199205

XRAM Acc No: C92-014998

XRPX Acc No: N92-026348

Thermally crystallising non-single crystal semiconductor layer - by  
forming layer on previously heated glass substrate

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME ); HANDOTAI ENERGY  
KENKYUSHO KK (SEME ); ZHANG H (ZHAN-I)

Inventor: ZHANG H P M; ZHANG H

Number of Countries: 007    Number of Patents: 013

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 468759	A	19920129				199205 B
<b>JP 4080914</b>	A	19920313	JP 90195173	A	19900724	199217
JP 4085921	A	19920318	JP 90199979	A	19900728	199218
JP 4085969	A	19920318	JP 90199980	A	19900728	199218
US 5254208	A	19931019	US 91729999	A	19910715	199343
TW 296458	A	19970121	TW 91105568	A	19910717	199719
US 5716857	A	19980210	US 91729999	A	19910715	199813
			US 9373689	A	19930609	
KR 9610339	B1	19960730	KR 9112668	A	19910724	199923
			KR 952283	A	19950206	
KR 9707839	B1	19970517	KR 9112668	A	19910724	199942
US 6008078	A	19991228	US 91729999	A	19910715	200007
			US 9373689	A	19930609	
			US 97940997	A	19970930	
JP 2001085330	A	20010330	JP 90195173	A	19900724	200124
			JP 2000252351	A	19900724	
JP 2001094118	A	20010406	JP 90195173	A	19900724	200126
			JP 2000252355	A	19900724	
US 20010038124	A1	20011108	US 99456948	A	19991207	200171

Priority Applications (No Type Date): JP 90199980 A 19900728; JP 90195173 A  
19900724; JP 90199979 A 19900728; JP 2000252351 A 19900724; JP 2000252355  
A 19900724

Cited Patents: 8.Jnl.Ref; JP 1196116; JP 2044022; JP 58182243; JP 61078119;  
JP 62030314; JP 63240524

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 468759	A		30	H01L-021/84	
-----------	---	--	----	-------------	--

Designated States (Regional): DE FR GB

JP 4080914	A	8			
------------	---	---	--	--	--

JP 4085921	A	10			
------------	---	----	--	--	--

JP 4085969	A	6			
------------	---	---	--	--	--

US 5254208	A	28	C30B-001/08		
------------	---	----	-------------	--	--

TW 296458	A		H01L-021/02		
-----------	---	--	-------------	--	--

US 5716857	A	30	H01L-021/84	Div ex application US 91729999	
------------	---	----	-------------	--------------------------------	--

Div ex patent US 5254208

KR 9610339	B1	H01L-021/324	Div ex application KR 9112668
KR 9707839	B1	H01L-021/324	
US 6008078	A		Div ex application US 91729999
			Div ex application US 9373689
			Div ex patent US 5254208
			Div ex patent US 5716857
JP 2001085330 A	7	H01L-021/20	Div ex application JP 90195173
JP 2001094118 A	7	H01L-029/786	Div ex application JP 90195173
US 20010038124 A1		H01L-029/04	

**Abstract (Basic): EP 468759 A**

Semiconductor device is mfd. by heating a glass substrate at a temp. not above the strain pt.; adding a non-single crystal semiconductor layer; and crystallising the layer by heating. Si cpd. layer may be deposited before the non-single crystal layer, before or after the substrate heating step.

Si cpd. layer is pref. oxide, nitride, carbide or oxynitride.

Semiconductor layer is formed by sputtering in H<sub>2</sub> and an inert gas, pref. Ar. Glass substrate is heated in inert gas, N<sub>2</sub> and/or H<sub>2</sub>.

Crystallisation of the semiconductor layer is carried out by heating at 400-800 deg.C in inert gas, N<sub>2</sub>, H<sub>2</sub> and/or CO.

**ADVANTAGE** - Glass substrate heating step reduces shrinkage so that internal stress in the crystallised layer is avoided. In an example, glass substrate is held at 610 deg.C for 12 hrs. under N<sub>2</sub> and a 200 nm SiO<sub>2</sub> layer is then deposited by RF sputtering, followed by a 100 nm amorphous Si layer. Amorphous Si layer is then crystallised by heating at 600 deg.C for 96 hrs. under N<sub>2</sub> contg. 50% CO. Crystallised layer is then patterned to form a channel region.

Dwg.4A/20

**Title Terms:** THERMAL; CRYSTAL; NON; SINGLE; CRYSTAL; SEMICONDUCTOR; LAYER; FORMING; LAYER; HEAT; GLASS; SUBSTRATE

**Derwent Class:** L03; U11

**International Patent Class (Main):** C30B-001/08; H01L-021/02; H01L-021/20;

H01L-021/324; H01L-021/84; H01L-029/04; H01L-029/786

**International Patent Class (Additional):** H01L-021/336; H01L-027/01;

H01L-027/12; H01L-029/78

**File Segment:** CPI; EPI

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-80914

⑬ Int. Cl.<sup>5</sup>

H 01 L 21/20  
21/324

識別記号

庁内整理番号

9171-4M

⑭ 公開 平成4年(1992)3月13日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 半導体作製方法

⑯ 特 願 平2-195173

⑰ 出 願 平2(1990)7月24日

⑱ 発 明 者 張 宏 勇 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

⑲ 出 願 人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

明 細 書

1. 発明の名称

半導体作製方法

2. 特許請求の範囲

(1) ガラス基板を該ガラス基板の歪点以下の温度で熱処理する工程と、前記熱処理されたガラス基板上に非単結晶半導体を設ける工程と、前記ガラス基板上に設けられた非単結晶半導体を加熱することにより多結晶化させる工程を有することを特徴とする半導体作製方法。

3. 発明の詳細な説明

(発明の利用分野)

本発明は、非単結晶半導体を熱再結晶化させ多結晶半導体を得る方法に関するものである。

(従来の技術)

気相化学反応法あるいはスパッタ法によって得られたアモルファスシリコン半導体を熱再結晶化させることによって多結晶半導体を得る技術が知られている。

(従来技術の問題点)

気相化学反応法あるいはスパッタ法によって得られたアモルファスシリコン半導体を熱再結晶化させることによって多結晶半導体を得る場合、基板を約600℃の温度で長時間加熱しなければならない。

基板としては、工業的に安価なガラス基板を用いるのが好ましいが、ちょうどこの600℃付近がガラス基板の歪点温度であり、熱再結晶化によって得た薄膜トランジスタを大面積液晶表示装置などに応用しようとする場合、このガラス基板の縮みの影響により以下のような問題が生じる。

イ) 熱再結晶化工程におけるガラス基板の縮みが原因で、この工程の後のフォトリソグラフィパターンが変形してしまい後工程のマスク合わせが困難になる。

ロ) 熱再結晶工程におけるガラス基板の縮みによって、再結晶化した多結晶半導体内部に応力が発生する。この応力は、多結晶半導体の電気的特性に悪影響をあたえるという問題が実験的に確かめ

られている。

#### 〔発明の目的〕

本発明は、気相化学反応法あるいはスパッタ法などにより得られた非単結晶半導体を熱再結晶化させることによって多結晶半導体を得る工程において問題となる、ガラス基板の縮みの問題を解決すること、並びに前記ガラス基板の縮みが原因である、熱再結晶化工程における多結晶半導体中の応力の発生を最小に抑え、この基板上に設けられる半導体よりなる半導体装置の電気的特性を向上させることを発明の目的とする。

#### 〔発明の構成〕

本発明は、ガラス基板を該ガラス基板の歪点以下の温度で熱処理する工程と、前記熱処理されたガラス基板上に非単結晶半導体を設ける工程と、前記ガラス基板上に設けられた非単結晶半導体を加熱することにより多結晶化させる工程を有することを特徴とする半導体作製方法である。

ガラス基板をその歪点以下の温度で熱処理するのは、このガラス基板上に設けられる非単結晶半

導体を多結晶化する工程において加えられる熱に対してのガラス基板の縮みを最小にし、さらにこのことによって、このガラス基板上に設けられる半導体の電気的特性を向上させるためである。

これは、熱再結晶化の再加えられる熱によるガラス基板の縮みによって、このガラス基板上で熱再結晶化された多結晶半導体中に応力が発生し、この応力が原因でこの基板上に作製される多結晶半導体中の界面単位が高くなってしまい、多結晶半導体の電気的特性が低下してしまうという実験事実に基づくものである。

熱処理するのは、ガラス基板を予め熱することによってガラス基板の熱に対する性質を変えらるためである。

この熱処理の際の加熱は、電気炉において大気圧の不活性気体中で行なってもよいが、水素を添加した雰囲気中においてこの熱処理を行なうと基板の洗浄を同時に行なうことができる。

また、非単結晶半導体を加熱することにより熱再結晶化させる工程は電気炉において大気圧の不

活性気体中に行なうものである。

再結晶化させる工程における加熱を不活性気体中に行なうことは、重要である。なぜならば、半導体が熱再結晶化の過程において気体(例えば酸素)と反応することは、防がなければならないからである。

ここでいう非単結晶半導体とは、アモルファス状態、セミアモルファス状態、及びに微結晶状態にある非単結晶半導体を指すもので、多結晶状態を含むものではない。

また上記微結晶状態というのは、アモルファス状態の中に結晶状態が散在している状態を指すものである。

熱処理されたガラス基板上に非単結晶半導体を設ける工程というのは、気相化学反応法、スパッタ法、真空蒸着法、イオンクラスタービーム法、分子線エピタキシー法、レーザーアブレーション法などを使用して非単結晶半導体を作製することをいうのである。

ガラスの歪点は、ガラスの粘度が $4 \times 10^{11}$  poise(

$\log \eta = 14.5$ )のときの温度として定義される。

#### 〔実施例1〕

本実施例において用いたガラス基板は、旭硝子のAN-2ノンアルカリガラスで、このガラスの歪点は616℃である。

まずこのガラス基板に対して610℃の温度で12時間の熱処理を行った。

熱処理の方法は、電気炉において大気圧の不活性気体( $N_2$ )中に行なうものであるが、水素が添加された減圧状態にある不活性気体の雰囲気中に行なってもよい。

つぎに、スパッタ法により $SiO_2$ 膜を200nmの厚さに形成してから、その上にPCVD法により $a-Si$ 膜を100nmの厚さに堆積して、600℃の温度で96時間の時間をかけ $a-Si$ 膜の熱再結晶化を行った。

熱再結晶化は、電気炉において大気圧の不活性気体( $N_2$ )中に行なうものである。

以上が本発明の実施例であるが、以下実験データを示し本発明の効果を明らかにする。

まず、本発明の目的の一つである加熱時のガラ

ス基板の縮みを防ぐことについての実験結果を示す。

第1図は、本実施例において用いた熱処理したガラス基板(AN-2ノンアルカリガラス)(A)と、同じ材質のガラス基板において熱処理を行わなかった場合(B)における、ガラスの縮み率の温度依存性を示したものである。

第1図より明らかなように熱処理したガラス基板(A)の縮みは、熱処理しなかったガラス基板(B)の縮みの1/5以下であることがわかる。

また、縮みは活性形の温度依存性をもっており、温度上昇に従って、指数的に増加する傾向があることがわかる。

第2図は、本実施例と同じように610℃の温度で12時間の熱処理を行ったガラス基板(AN-2ノンアルカリガラス)(A)と未処理のガラス基板(AN-2ノンアルカリガラス)(B)を一定の加熱温度600℃で加熱した場合における、ガラスの縮み率の加熱時間への依存性を示すものである。

第2図より明らかなようにガラス縮みは、最初

の数時間が一番大きく、加熱時間が長くなると飽和していく傾向が見られる。

96時間加熱した場合、熱処理をしないAN-2ノンアルカリガラス(B)の縮みは約2000ppmで、熱処理をしたAN-2ノンアルカリガラス(A)の縮みは約500ppmであった。

以上のことよりガラス基板を前もって熱処理することによって、ガラス基板上に設けられる非単結晶半導体を多結晶化する工程において加えられる熱に対してのガラス基板の縮みを最小にできることがわかる。

また実験データより求めたガラス基板(AN-2ノンアルカリガラス)の活性エネルギーは0.08eV程度で、AN-2ノンアルカリガラスの転移点温度(668℃)に対応しており、これはガラスの性質に関係しているものと考えられる。

この実験データより活性エネルギーを求めるには、第1図に示されるグラフの直線を表す式である $R = A \exp(-E_a/kT)$ の関係式を用いた。

Aは比例定数、 $E_a$ は活性エネルギー、kはボル

ツマン定数である。

第3図は、本実施例である熱処理したガラス基板(AN-2ノンアルカリガラス)上に、スパッタ法により $SiO_2$ 膜を200nmの厚さに形成し、その上にPCVD法によりa-Si膜を100nmの厚さに堆積して、600℃の温度で96時間の時間をかけa-Si膜の熱再結晶化を行った半導体(a)と、本実施例におけるガラス基板の熱処理を行わず、この基板上にスパッタ法により $SiO_2$ 膜を200nmの厚さに形成してから、その上にPCVD法によりa-Si膜を100nmの厚さに堆積して、600℃の温度で96時間の時間をかけa-Si膜の熱再結晶化を行った半導体(b)と、石英基板上にスパッタ法により $SiO_2$ 膜を200nmの厚さに形成してから、その上にPCVD法によりa-Si膜を100nmの厚さに堆積して、600℃の温度で96時間の時間をかけa-Si膜の熱再結晶化を行った半導体(c)の3種類の半導体について、そのラマンスペクトルの基板依存性を示したものである。

図3における縦軸の相対強度は結晶性の強さを表すものである。

図3より明らかなごとく、その歪み点以下の温度で熱処理しなかったガラス基板上に設けられた多結晶シリコン半導体(b)、並びに石英基板上に設けられた多結晶シリコン半導体(c)の膜に比べて、本実施例である、その歪み点以下の温度で熱処理したガラス基板上に設けられた多結晶シリコン半導体(a)の膜の結晶性は著しく強く、またそのピークも石英基板上に設けられた多結晶シリコン半導体と同じ位置に鋭く出ているのがわかる。

従来、熱再結晶化によるものでは、石英基板上に設けられた多結晶シリコン半導体が最良のものとされていた、よってその歪み点以下の温度で熱処理したガラス基板上に設けられた多結晶シリコン半導体(a)の膜のラマンスペクトルのピークが石英基板上に設けられた多結晶シリコン半導体(c)と同じ位置に鋭く出たことは、その歪み点以下の温度で熱処理したガラス基板上に設けられた多結晶シリコン半導体(a)の膜が純粋に多結晶シリコン半導体としての特性を持っていることを意味すると考えられる。

即ち従来は、膜中の内部応力の影響で多結晶シリコン半導体としての特性が損なわれていたのに対して、本実施例では、多結晶シリコン半導体中の内部応力の発生を最小限度に押さえることが出来たので、本来の多結晶シリコンの特性が表れたのである。

また、熱処理していないガラス基板上に設けられた多結晶シリコン半導体(b)は、そのピークが多結晶シリコンの位置からずれていることもわかる。これは内部応力の発生によって多結晶シリコン半導体の特性が損なわれたためである。

以上のことより、ガラス基板をその歪み点以下の温度で熱処理する方法は、この後の加熱過程におけるガラス基板の縮みを減少させることのみならず、このガラス基板上に設けられ熱再結晶化される半導体中における内部応力の減少と結晶性の改善に有効な手段であることがわかる。

また、従来基板上に設けられたアモルファスシリコン半導体を熱再結晶化して多結晶シリコン半導体を作る場合、基板として石英基板を用いるの

が最良とされていたが、本実施例より得られたデータによれば、石英基板上に設けられた多結晶シリコン半導体よりも本発明の実施例である熱処理したガラス基板上に設けられた多結晶シリコン半導体の方がその結晶性が高いという測定結果が得られた。

#### 〔実施例2〕

以下、本発明を用いて熱再結晶p-SiTFTを作製した実施例を、第4図を用いて説明する。

本実施例は、610℃の温度で12時間の熱処理を行ったガラス基板(AN-2ノンアルカリガラス)(1)上に熱再結晶p-SiTFTを作製したものである。

まずガラス基板(AN-2ノンアルカリガラス)に対して610℃の温度で12時間の熱処理を行う。

熱処理の方法は、電気炉において大気圧の不活性気体(N<sub>2</sub>)中で行なうものであるが、水素が添加された大気圧または減圧状態にある不活性気体中でおこなうと、基板の洗浄も同時に出来る。

つぎに、RFスパッタ法によりSiO<sub>2</sub>膜(2)を200nmの厚さに形成する。

成膜条件は、圧力0.5pa、温度100℃、RF周波数13.56MHz、RF出力400Wである。

その上にRFスパッタ法によりa-Si活性層(3)を100nmの厚さに堆積する。

成膜条件は、圧力0.5pa、温度150℃、RF周波数13.56MHz、RF出力400Wである。

この後前記a-Si膜(3)を窒素雰囲気中において温度600℃の温度で98時間かけて熱再結晶化をおこなった。

熱再結晶化は、電気炉において大気圧の不活性気体(N<sub>2</sub>)中で行なうものである。

この熱再結晶化させた熱再結晶p-Siに対してデバイス分離パターンニングを行い(a)の形状を得た。

つぎに、a<sup>+</sup>a-Si膜(4)を以下の条件でPCVD法により50nmの厚さに成膜した。

成膜条件は、圧力6.65pa、温度350℃、RF周波数13.56MHz、RF出力400W、PH<sub>2</sub>(5%):SiH<sub>4</sub>:H<sub>2</sub>=0.2:0.3:50 sccmである。

この後ゲート領域パターンニングを行い(b)の形

状を得た。

つぎにゲート酸化膜(SiO<sub>2</sub>)(5)を100nmの厚さにスパッタ法により以下の条件で成膜し(c)の形状を得た。

膜形成条件は、圧力0.5pa、温度100℃、RF周波数13.56MHz、RF出力400Wである。

つぎにコンタクトホール開けパターンニングを行い(d)の形状をえた。

最後に真空蒸着によりアルミ電極(6)を300nmの厚さに形成し、パターンニングすることにより(e)の形状を得p-SiTFTを完成させた。

尚、第4図(e)に示すp-SiTFTにおいて、SはSource電極、GはGate電極、DはDrain電極である。

以下本実施例である熱処理した基板上に作製したp-SiTFT(a<sup>+</sup>)と、熱処理をしていないガラス基板(旭硝子のAN-2ノンアルカリガラス)上に作製したp-SiTFT(b<sup>+</sup>)と、石英基板上に本実施例と同様な方法で作製したp-SiTFT(c<sup>+</sup>)の3種類の比較評価の結果を示す。

比較評価の結果、第5図に示すようなI<sub>0</sub>-V<sub>0</sub>特

性、第6図に示す基板別のゲート電圧と電界効果移動度の関係、並びに第7図に示すような電界効果移動度の基板依存性が得られた。

第5図より明らかなように本実施例のp-SiTFT(a')は、熱処理をしていないガラス基板(旭硝子のAN-2ノンアルカリガラス)上に本実施例と同様な方法で作製したp-SiTFT(b')に比べて、ドレイン電流( $I_D$ )-ゲート電圧( $V_G$ )特性が大きく改善されており、その電気的特性は、石英基板上に設けられたp-SiTFT(c')に近づいていることがわかる。

また第6図、第7図をみると、電界効果移動度も熱処理をしていないガラス基板(旭硝子のAN-2ノンアルカリガラス)上に本実施例と同様な方法で作製したp-SiTFT(b')に比べて大きく、石英基板上に設けられたp-SiTFT(c')の電界効果移動度と同様な値を示していることがわかる。

本実施例においては、ガラス基板上に設けたa-Si半導体を熱再結晶化させるための出発材料としたが、本発明はa-Si半導体以外の非単結晶半導体をガラス基板上に設けた場合においても有効であ

る。

また、ガラス基板に熱処理を行いガラス基板の縮み性を改善する際に、この熱処理を水素が添加された減圧下の不活性気体雰囲気中で行ない、ガラス基板の洗浄を熱処理と同時に行うことで、a-Si半導体の再結晶化に際して悪影響を与える吸着酸素を取り除くことが出来る。

#### 〔発明の効果〕

本発明の構成をとることで、気相化学反応法あるいはスパッタ法などにより得られた非単結晶半導体を、熱再結晶化させることによって多結晶半導体を得る工程において問題となる、ガラス基板の縮みの問題を解決することができた。

また、ガラス基板に熱処理を行い加熱時のガラス基板の縮みを減少させることで、この基板上に設けられ、熱再結晶化によって得られる多結晶半導体中に発生する内部応力の発生を抑えることができ、この多結晶半導体よりなる半導体装置の電気的特性を向上させることができた。

#### 4. 図面の簡単な説明

第1図は、本実施例1において作製したガラス基板におけるガラス縮み率の温度依存性を示すものである。

第2図は、本実施例1において作製したガラス基板におけるガラス縮み率の時間依存性を示すものである。

第3図は、実施例1において作製したガラス基板上の半導体と、比較例のラマンスペクトルを示したものである。

第4図は、本実施例2において作製したp-SiTFTの作製工程を示すものである。

第5図は実施例2において作製したp-SiTFTと、比較例であるp-SiTFTの $I_D$ (ドレイン電流)- $V_G$ (ゲート電圧)特性を示したものである。

第6図は実施例2において作製したp-SiTFTと、比較例であるp-SiTFTのゲート電圧と電界効果移動度との関係を示したものである。

第7図は実施例2において作製したp-SiTFTと、比較例であるp-SiTFTの電界効果移動度を示したものである。

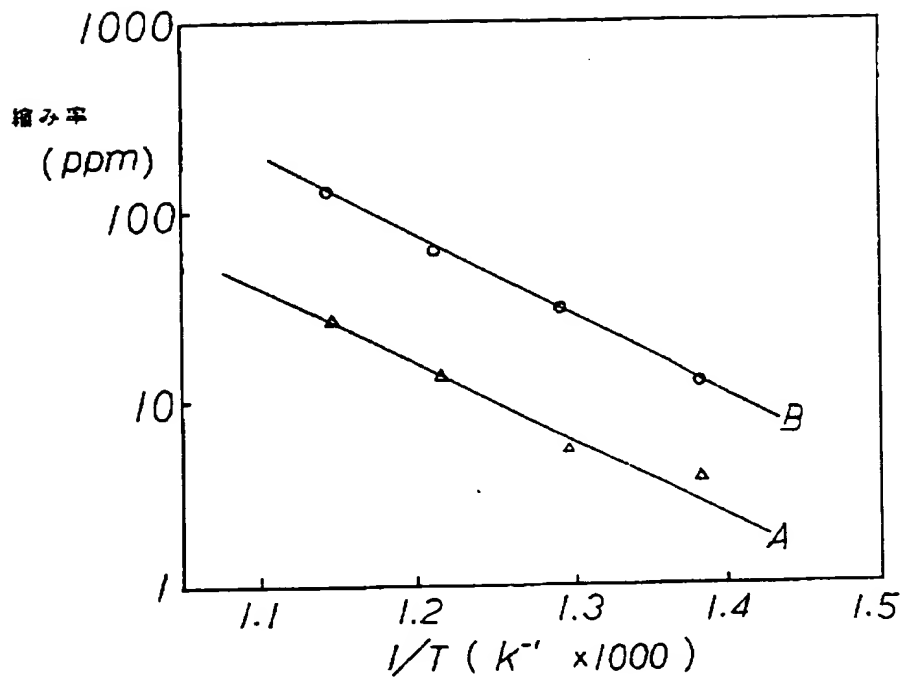
- (1)・・・ガラス基板
- (2)・・・SiO<sub>2</sub>膜
- (3)・・・a-Si活性層
- (4)・・・n<sup>+</sup>a-Si膜
- (5)・・・ゲート酸化膜(SiO<sub>2</sub>)
- (6)・・・アルミ電極
- (S)・・・Source電極
- (G)・・・Gate電極
- (D)・・・Drain電極

特許出願人

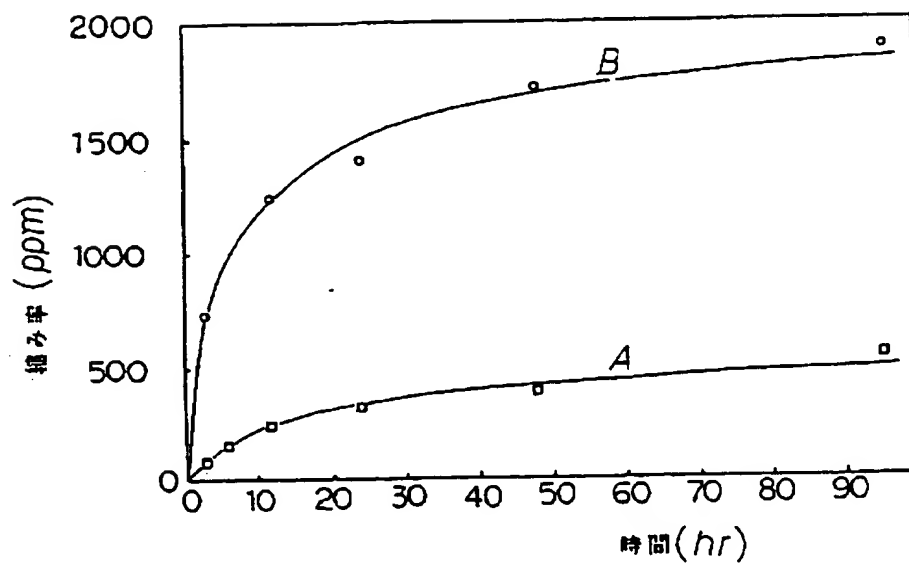
株式会社半導体エネルギー研究所

代表者 山崎 舜 子

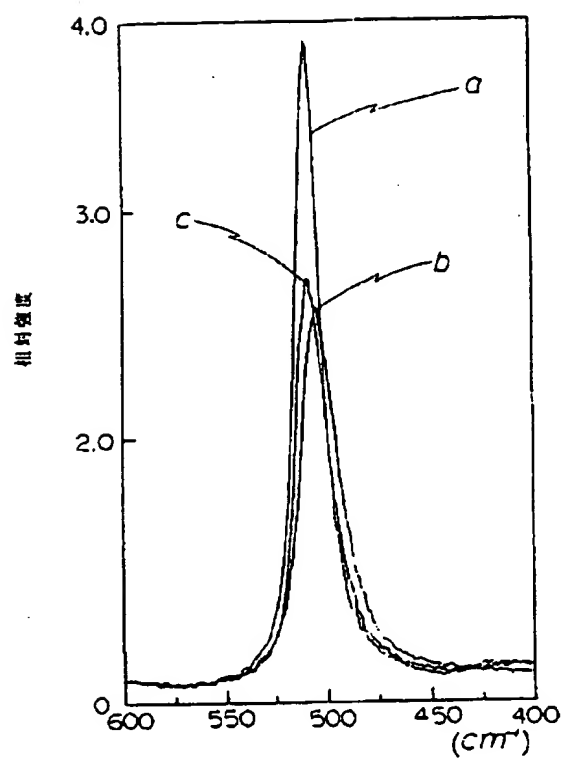




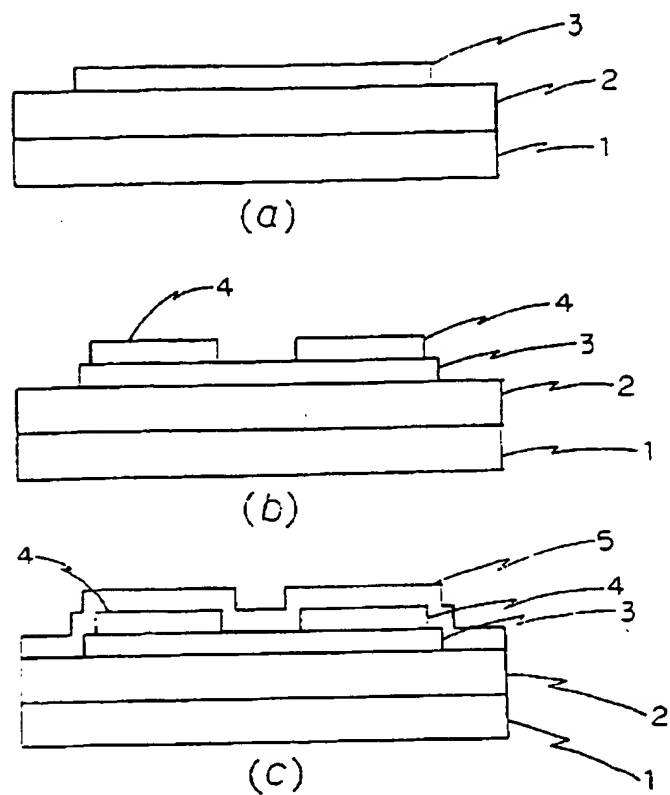
第 1 図



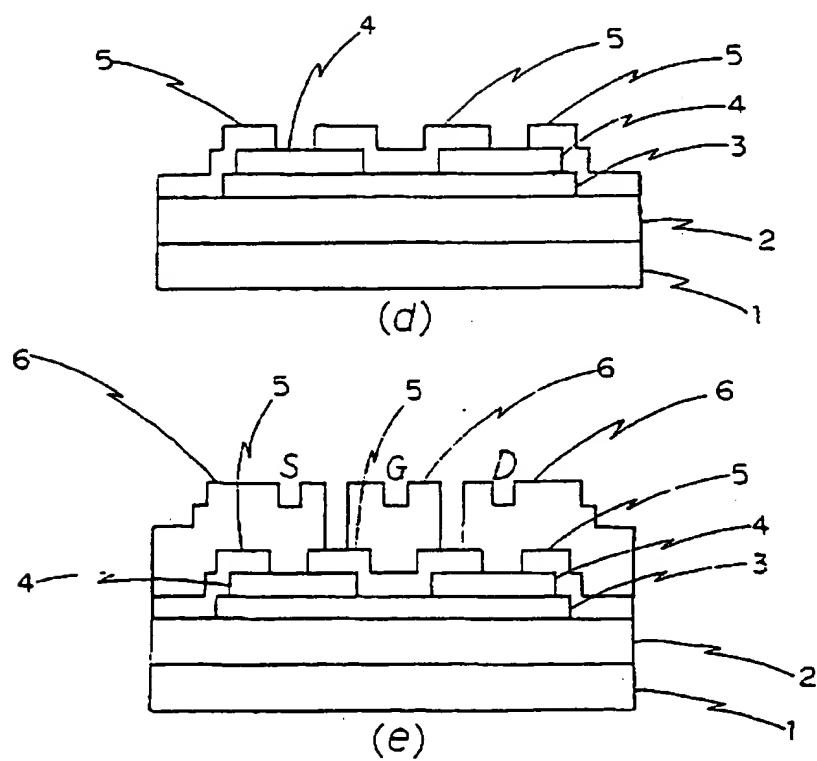
第 2 図



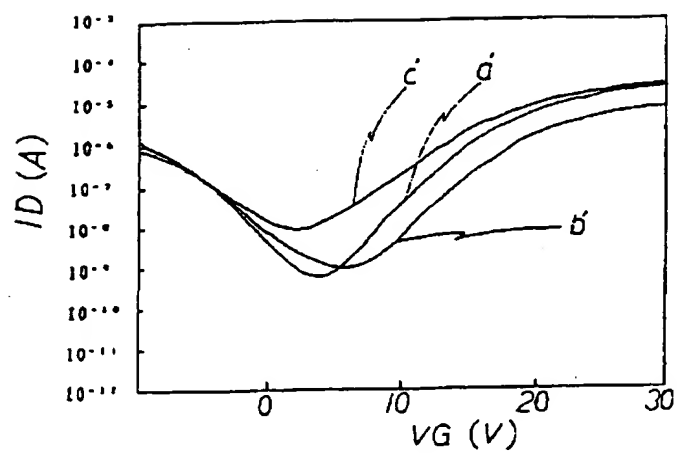
第 3 図



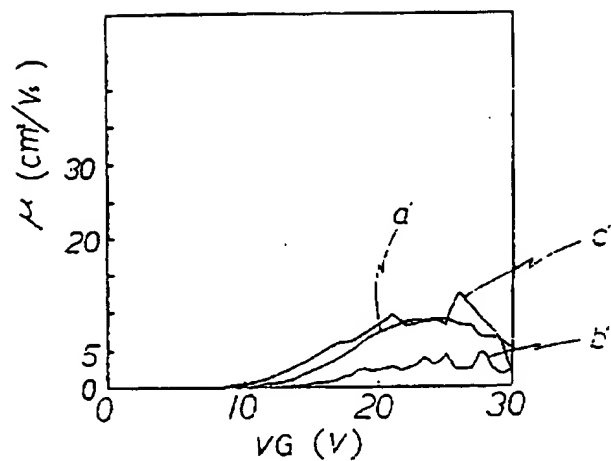
第 4 図



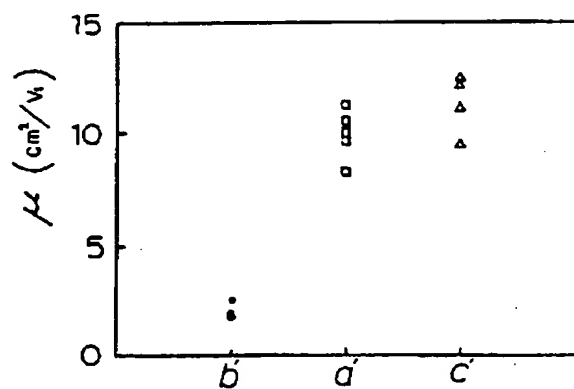
第 4 図



第 5 図



第 6 図



第 7 図